

Konvejeriai

Saulius Gražulis

Vilnius, 2023

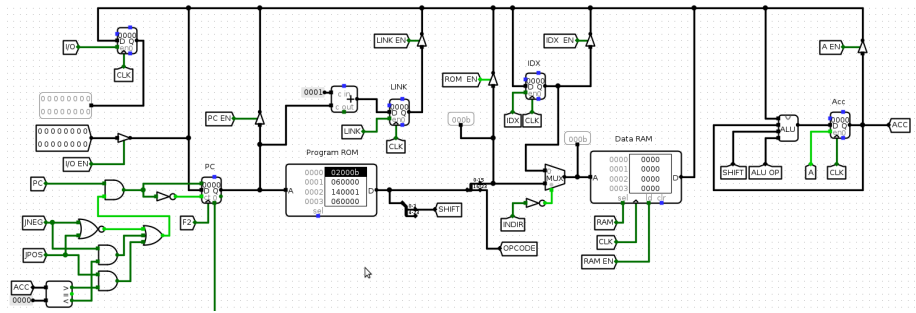
Vilniaus universitetas, Matematikos ir informatikos fakultetas
Informatikos institutas



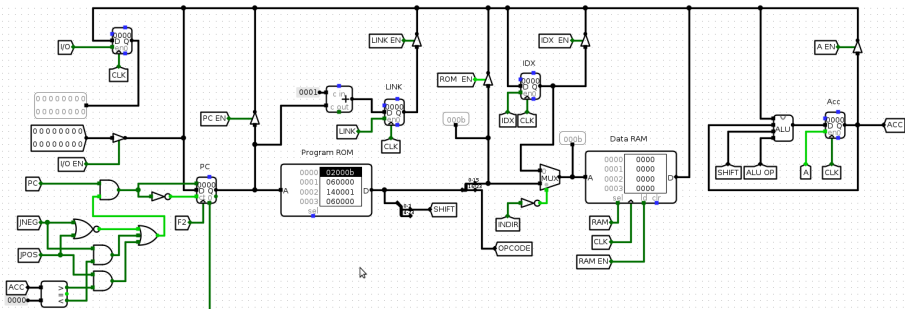
Ši skaidrių rinkinį galima kopijuoti, kaip nurodyta Creative Commons
[Attribution-ShareAlike 4.0 International](https://creativecommons.org/licenses/by-sa/4.0/) licenzijoje



Vieno takto procesorius



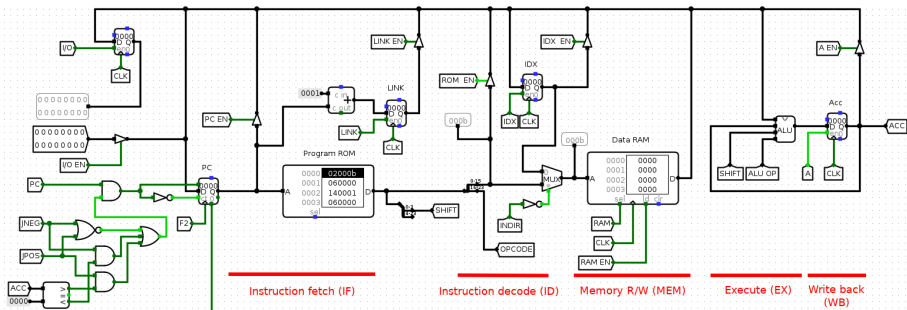
Vieno takto procesorius



Signalu uždelsimas:

$$t_{\text{total}} = t_{\text{PC}} + t_{\text{ROM}} + t_{\text{decoder}} + t_{\text{RAM}} + t_{\text{ALU}} + t_{\text{Acc}}$$

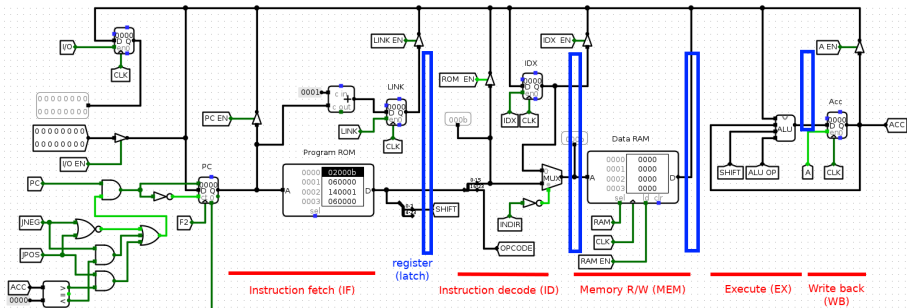
Vieno takto procesorius



Signalų uždelsimas:

$$t_{\text{total}} = t_{\text{PC}} + t_{\text{ROM}} + t_{\text{decoder}} + t_{\text{RAM}} + t_{\text{ALU}} + t_{\text{Acc}}$$

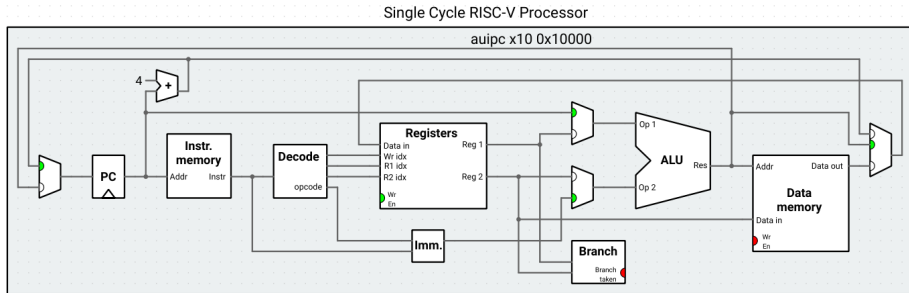
Vieno takto procesorius



Signalu uždelsimas:

$$t_{\text{total}} = \max(t_{\text{PC}} + t_{\text{ROM}}, t_{\text{decoder}}, t_{\text{RAM}}, t_{\text{ALU}}, t_{\text{Acc}}) + t_{\text{register}}$$

Ripes RISC-V vieno ciklo procesorius

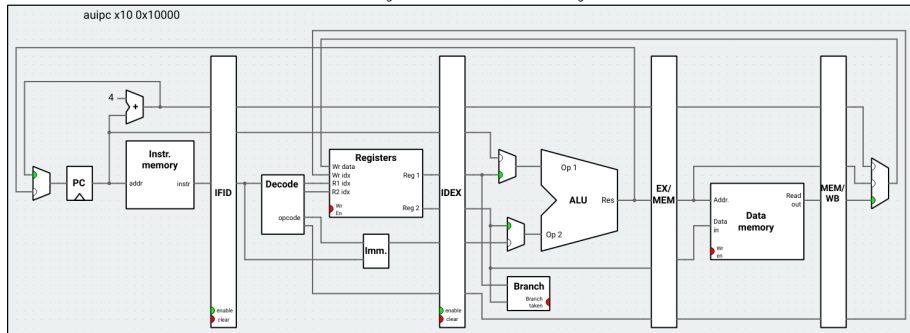


M. B. Petersen, The Ripes simulator

Ripes RISC-V 5 stadijų

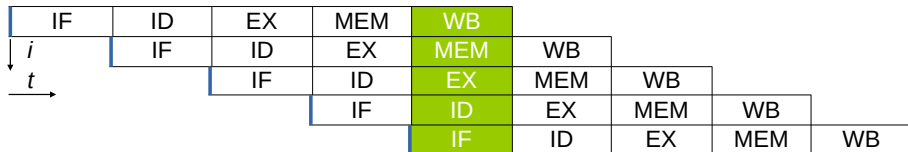
be perdavimo pirmyn ir prieštaravimų aptikimo

5-Stage RISC-V Processor w/o Forwarding or Hazard Detection



M. B. Petersen, The Ripes simulator

Klasikinis 5 stadijų konvejeris

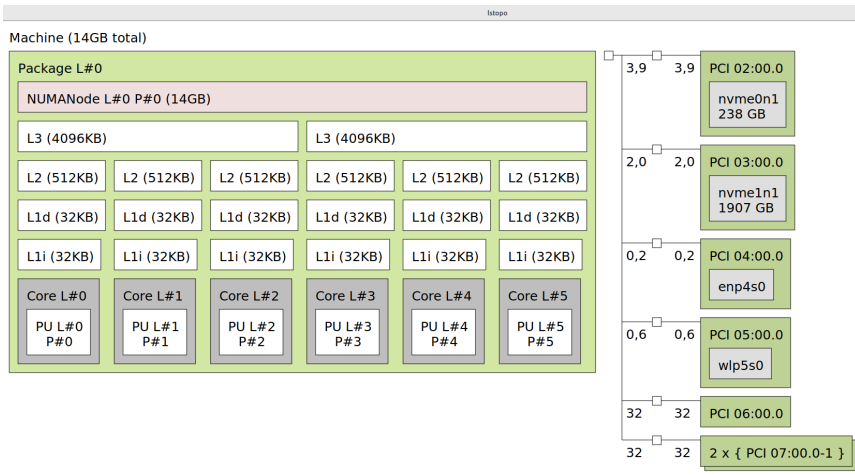


Sandstorm de, [CC BY-SA 4.0](#) via [Wikimedia Commons](#)

- RISC-V: pavyzdinės realizacijos su 5 stadijomis;
- ARM: ARM11 (Raspberry Pi) – 8-nių stadijų konvejeris (Upton 2016);
- Intel: daugelis šiuolaikinių procesorių turi 20 stadijų ir daugiau (Upton 2016);

Realaus procesoriaus architektūra

Komanda lstopo



Host: starta

Date: 2023-12-18T10:49:21 EET

Konfliktai (Hazards)

- Valdymo konfliktai (control hazards)
- Duomenų konfliktai (data hazards)
- Struktūriniai (resursų) konfliktai

Duomenų konfliktai

```
add x5 , x1 , x2  
add x7 , x5 , x1
```

- Stadijos:

add x5,x1,x2 Memory (MEM)

add x7,x5,x1 Execute (EX)

- x5 dar neparuoštas sekančiai komandai!

- Sprendimai:

- Pristabdyti konvejerį;
- Pakeisti komandų tvarką (keičia kompiliatorius)

```
add x5 , x1 , x2  
lw   x20 , (x11)  
add x7 , x5 , x1
```

- Pakeisti komandų tvarką (keičia procesorius)
- Perduoti duomenis sutrumpintu keliu

```
add x5 , x1 , x2
bgt x1 , x2 , label
add x7 , x5 , x1
```

- Stadijos:

add x5 , x1 , x2	Memory (WB)
bgt x1 , x2 , label	Execute (MEM)
add x7 , x5 , x1	Decode (EX)

- x5 Antrosios add nereikia vykdyti!

- Sprendimai:

- Ištrinti konvejerį;
- Įvykdyti add vis tiek (delay slot);
- Įvykdyti tikėtiniausią šaką;

RISC ir CISC supanašėjimas

- Daug registų (≥ 16);
- Ortogonalūs komandų rinkiniai;
- Aritmetika registruose (Load/Store operation)
- Konvejeriai
- Spartinanti atmintis (Instruction and data caches)
- Modifikuota Harvardo architektūra

Upton, Eben (Jan. 2016). *Learning Computer Architecture with Raspberry Pi*. Wiley. ISBN: 978-11-1918-393-8.